

12項 ネットワークオンチップの概念と構造(4節 通 研講演会,第5章 国際会議・シンポジウム等)

雑誌名	東北大学電気通信研究所研究活動報告
巻	15
ページ	308-308
発行年	2009-08
URL	http://hdl.handle.net/10097/48479

脳型集積エミュレータによる生体視覚情報処理の解析

大阪大学大学院 教授 八木 哲也

開催日：平成20年12月19日

開催場所：東北大学電気通信研究所ナノ・スピン実験施設 A401 室

近年、脳視覚神経回路についての生理学的な知見が積み上げられている。しかしながらこの知見と視覚認知機能との対応はよく分かっていない。技術的な制限によって、脳神経回路活動の解析が、単純な光刺激や少数の細胞応答あるいは空間的低精度での計測に基づき、さらには多くの実験は麻酔下の動物を用いて行われることが理由のひとつである。本講演では、こうした制限下の実験で予想された視覚神経回路モデルを、集積回路とPCを用いて大規模再構成し、神経回路と視覚機能の関連を解析する試みについて紹介して頂いた。

ネットワークオンチップの概念と構造

日本電気株式会社 主幹研究員 中村 祐一

開催日：平成20年12月19日

開催場所：東北大学電気通信研究所ナノ・スピン実験施設 A401 室

LSIに実装されるコア数は増加傾向にあり、数年中には数100を超えることが予想されている。現在のコア間接続はバスで実現するのが一般的であるが、多数のコア接続のためには配線数が膨大となり、設計製造コストが大幅に増大することが予想されている。そこで、コア間の接続を伝達情報とデータを一体化したパケット通信にして、配線数を削減し、コア間接続のコストや設計容易性を向上されるネットワークオンチップ(NoC)が提案されている。本講演では、NoCの概念とその優位性と問題点、NoCの設計事例について解説して頂いた。